

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-218849

(43) 公開日 平成9年(1997) 8月19日

(51) Int.Cl.⁶

G 0 6 F 13/42

識別記号

3 5 0

庁内整理番号

F I

G 0 6 F 13/42

技術表示箇所

3 5 0 B

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21) 出願番号 特願平8-336650

(22) 出願日 平成8年(1996)12月17日

(31) 優先権主張番号 08/580,000

(32) 優先日 1995年12月19日

(33) 優先権主張国 米国 (U S)

(71) 出願人 592089054

エヌシーアール インターナショナル インコーポレイテッド
NCR International, Inc.

アメリカ合衆国 45479 オハイオ、デイトン
サウス バターソン プールバード 1700

(72) 発明者 トリ ティン ポウ

アメリカ合衆国 カリフォルニア州 92129 サン ディエゴ、グッピー コート 8248

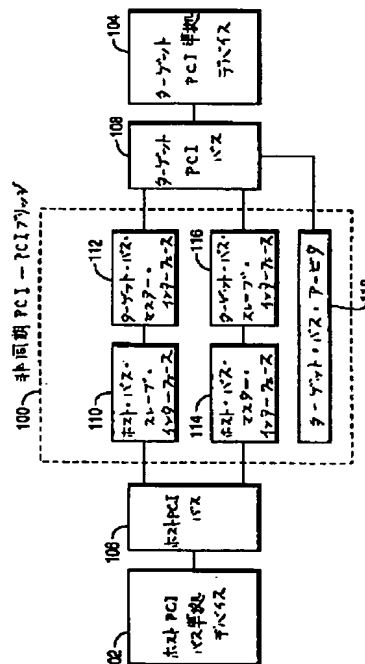
(74) 代理人 弁理士 西山 善章

(54) 【発明の名称】 デバイスのブリッジ方法及び装置

(57) 【要約】

【課題】 第一のクロック周波数で動作している第一のデバイスと、第二の動作クロックで動作している第二のデバイスと、をブリッジする方法及び装置を提供する。

【解決手段】 第一のデバイスと第二のデバイスとの間には、ブリッジ (100、120) が結合され、このブリッジは、第一のデバイスからの第一のコマンド・メッセージを受けて、ブリッジ内に格納し、このコマンド・メッセージをブリッジから第二のデバイスへと伝送する。また、第二のデバイスからの第一のコマンド・メッセージに応答するリプライ・メッセージをブリッジ内で受け、このリプライ・メッセージを第一のデバイスへと伝送する。



Best Available Copy

【特許請求の範囲】

【請求項1】 第一のクロック周波数で動作している第一のデバイス(102、104)と、第二の動作クロックで動作している第二のデバイス(104、102)と、をブリッジする方法であって、

前記第一のデバイス(102、104)と前記第二のデバイス(104、102)との間に結合されたブリッジ(100、120)で、前記第一のデバイス(102、104)からの第一のコマンド・メッセージを受けるステップを有し、このメッセージは、デバイス・コマンドを含み、

前記第一のコマンドメッセージを前記ブリッジ(100、120)内に格納するステップを有し、

前記コマンド・メッセージを前記ブリッジ(100、120)から前記第二のデバイス(104、102)へと伝送するステップを有し、

前記第二のデバイス(104、102)からの前記第一のコマンド・メッセージに応答するリプライ・メッセージを前記ブリッジ(100、120)内で受けるステップを有し、

前記リプライ・メッセージを前記第一のデバイス(102、104)へと伝送するステップを有することを特徴とする方法。

【請求項2】 第一のクロック周波数で動作している第一のPCI準拠デバイス(102)と第二のクロック周波数で動作している第二のPCI準拠デバイス(104)とをブリッジするための装置であって、

前記第一のPCI準拠デバイス(102、104)と前記第二のPCI準拠デバイス(102、104)との間に結合されたブリッジ(100)を有し、このブリッジ(100)は、さらに、

前記第一のPCI準拠デバイス(102)に結合された第一のバス・スレーブ・インターフェース(110)を有し、この第一のバス・スレーブ・インターフェース(110)は、第一のコマンド・メッセージを受ける手段と、前記第一のコマンド・メッセージを格納する手段と、前記第一のPCI準拠デバイス(102)に前記コマンド・メッセージを再伝送させるコマンドを与えるための手段と、前記第一のPCI準拠デバイス(102)から再伝送されたコマンド・メッセージを受ける手段と、前記格納された第一のコマンド・メッセージが前記再伝送されたコマンド・メッセージとマッチしているかを判定するための手段と、前記第一のコマンド・メッセージに応答するリプライ・メッセージを受けたかを判定する手段と、前記第一のPCI準拠デバイス(102)に前記リプライ・メッセージを伝送するための手段と、を備え、

前記第一のバス・スレーブ・インターフェース(110)と前記第二のPCI準拠デバイス(104)とに結合された第二のバス・マスター・インターフェース(1

12)を有し、この第二のバス・マスター・インターフェース(112)は、更に、前記第一のコマンド・メッセージを前記第二のPCI準拠デバイス(104)に伝送する手段と、前記第二のPCI準拠デバイス(104)からのリプライ・メッセージを受けてこのリプライ・メッセージを前記第一のバス・スレーブ・インターフェース(110)に送出する手段と、を備えることを特徴とする装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、主にバス・インターフェース・デバイスに関し、特に、異なるクロック周波数で動作している二つのデバイスをブリッジするための方法及び装置に関するものである。

【0002】

【従来の技術】PCIローカル・バスは、マルチプレクス・アドレス及びデータ・ラインを備えた高性能の32ビットもしくは64ビットのバスである。このPCIローカル・バスは、低コストで高性能のローカル・バス・アーキテクチャを確立するために定められた工業規格である。PCIコンポーネント即ちPCI機器及びアドイン式で用いられるカード・インターフェースは、プロセッサに依存していないことから、次世代のプロセッサへの移行も効率的に行うことができ、また、複数のプロセッサを用いたアーキテクチャにも用いることができる。

【0003】このように、プロセッサに依存しないことから、PCIローカル・バスは、I/O機能への最適化が可能で、プロセッサやメモリのサブシステムとの同時動作が可能となり、モーション・ビデオ等のグラフィックス、SCSI、ハード・ディスク・ドライブ等に加えて、多数の高性能周辺機器の調整も可能である。

【0004】高品位TVのマルチメディア・ディスプレイやビデオ、及びその他の三次元または高帯域幅I/Oの進歩に伴って、ローカル・バスの帯域幅に対する要求も増している。

【0005】PCIインターフェースは、特に高集積周辺制御コンポーネント、周辺アドイン式ボード、及びプロセッサ/メモリスシステムの相互接続に適している。また、PCIインターフェース規格は、PCIに準拠したシステムによって、ユーザに対して更なる利益をもたらす。この規格では、PCIコンポーネント及びアドインカードに対して、環境設定レジスタが規定されている。自動環境設定ソフトウェアを備えたシステムでは、電源を入れるとPCIアドインカードが自動的に環境設定されるので、システムを使用する際のユーザへの負担が劇的に軽減される。PCIローカル・バス仕様2.0は、参照として本願に包含されており、PCIインターフェース・プロトコルを電氣的及び機械的に定義し、また、PCIローカル・バス・コンポーネントや拡張ボ

ードの環境設定仕様をも定義する。

【0006】一方、互いにクロックが独立しているか、またはクロックが独立的に制御されるバス・コンポーネントやデバイス間でインターオペレート即ち相互動作を行うことが要求される場合も生じる。例えば、ホスト・コンピュータを、動作クロックが高いか、または低い周辺機器と接続して相互動作させる場合が挙げられる。また、ホスト・コンピュータや周辺機器の一方または双方の動作クロックが、制御可能もしくは可変である場合もある。例えば、ハードウェア・エミュレータを用いることで、バス・コンポーネントや拡張ボードの開発時間が短縮される。これらのエミュレータによって、開発者は、修正が容易であるソフトウェアを用いて、拡張ボードにインプリメントされたロジックを試験して、試験対象となるデザインがリアルタイムで機能しうるかを確認することができる。

【0007】

【発明が解決しようとする課題】しかしながら、ハードウェアのこのような機能調整を行うには、その代償が必要となる。通常、これらのハードウェア・エミュレータは、ホスト・デバイスよりも非常に低い動作速度で作動させなければならず、従って、ホスト・バスを最高速度として接続することは不可能であった。特に、PCIバス自体のI/O速度が高いので、この問題は、ホスト・バスに対してPCI準拠デバイスが接続されているときに、非常に大きな影響を及ぼす。

【0008】そこで、本発明は、第一のクロック周波数で動作している第一のデバイスと、第二の動作クロックで動作している第二のデバイスと、をブリッジする方法及び装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の一形態によれば、第一のクロック周波数で動作している第一のデバイスと、第二の動作クロックで動作している第二のデバイスと、をブリッジする方法であって、前記第一のデバイスと前記第二のデバイスとの間に結合されたブリッジで、前記第一のデバイスからの第一のコマンド・メッセージを受けるステップを有し、この第一のコマンド・メッセージは、デバイス・コマンドを含み、前記第一のコマンドメッセージを前記ブリッジ内に格納するステップを有し、前記コマンド・メッセージを前記ブリッジから前記第二のデバイスへと伝送するステップを有し、前記第二のデバイスからの前記第一のコマンド・メッセージに応答するリプライ・メッセージを前記ブリッジ内で受けるステップを有し、前記リプライ・メッセージを前記第一のデバイスへと伝送するステップを有することを特徴とする方法が提供される。

【0010】本発明の他の形態によれば、第一のクロック周波数で動作している第一のPCI準拠デバイスと第二のクロック周波数で動作している第二のPCI準拠デ

バイスをブリッジするための装置であって、前記第一のPCI準拠デバイスと前記第二のPCI準拠デバイスとの間に結合されたブリッジを有し、このブリッジは、さらに、前記第一のPCI準拠デバイスに結合された第一のバス・スレーブ・インターフェースを有し、この第一のバス・スレーブ・インターフェースは、第一のコマンド・メッセージを受ける手段と、前記第一のコマンド・メッセージを格納する手段と、前記第一のPCI準拠デバイスに対して前記コマンド・メッセージを再伝送させるコマンドを与えるための手段と、前記第一のPCI準拠デバイスから再伝送されたコマンド・メッセージを受ける手段と、前記格納された第一のコマンド・メッセージが前記再伝送されたコマンド・メッセージとマッチしているか否かを判定するための手段と、前記第一のコマンド・メッセージに応答するリプライ・メッセージを受けたかを判定する手段と、前記第一のPCI準拠デバイスに前記リプライ・メッセージを伝送するための手段と、を備え、前記第一のバス・スレーブ・インターフェースと前記第二のPCI準拠デバイスとに結合された第二のバス・マスター・インターフェースを有し、この第二のバス・マスター・インターフェースは、更に、前記第一のコマンド・メッセージを前記第二のPCI準拠デバイスに伝送する手段と、前記第二のPCI準拠デバイスからのリプライ・メッセージを受けてこのリプライ・メッセージを前記第一のバス・スレーブ・インターフェースに送出する手段と、を備えた装置が提供される。

【0011】このような方法及び装置によって、バス・コンポーネントや拡張ボードの開発に有用な非同期ブリッジが提供され、また、これらによって、クロックスピードが独立しているかまたは独立的に制御可能な状態で動作しているデバイス間にインターフェースを提供することで、複数のバス・コンポーネントやデバイスの間での相互動作が可能となる。

【0012】

【発明の実施の形態】以下、添付図面を参照して本発明の実施形態を説明する。

【0013】図1に、非同期PCI-PCIブリッジ(a synchronous PCI-PCI bridge: APB)100のトップレベル機能ブロック図を示す。このブリッジは、ホストPCI準拠デバイス102とターゲット（相手側）PCI準拠デバイス104との間に、ホストPCIバス106、ターゲットPCIバス108によってそれぞれ結合されている。APB100は、ターゲット・バス・マスター・インターフェース112に結合されたホスト・バス・スレーブ・インターフェース110と、ターゲット・バス・スレーブ・インターフェース116に結合されたホスト・バス・マスター・インターフェース114とを有する。また、ターゲット・バス・アービター（調停回路）118は、ターゲット・バスに結合されている。これら各コンポーネントの機能及び動作は後述する。

【0014】本発明の用途及び範囲は、PCI準拠デバイスに限定されるものではない。本明細書に記載される、本発明に係る方法及び装置は、所定のインターフェースプロトコルを用いるデバイス間の非同期ブリッジとなるものである。さらに、図1に示されるブリッジは、種々の形態によって実現が可能である。

【0015】このような実現形態の一つとして、通常用いられるフリップ・フロップ及びその他の論理メモリデバイスを用いて、特定の目的におけるAPB100を得ることが挙げられる。同様に、APB100の機能（詳細は後述する）は、メモリデバイスに結合されたマイクロプロセッサにより達成することも可能である。更に、図1に示される各構成要素は、図2に示されるように、ホストPCIバス106とターゲットPCIバス108との間に結合されたコンピュータ120によってその機能を達成することも可能である。このコンピュータは、インター・エイリア(inter alia)、プロセッサ122、メモリ124を、固定型/リムーバブル型の格納デバイス126及び付随メディア128とともに有する。

【0016】当業者によれば、上記コンポーネントのどのような組み合わせや、あるいはその他のコンポーネントや周辺機器等の他のデバイスを用いることで、上述したような構成や処理を達成することも可能である。

【0017】以下、図3に示されるホスト・バス・スレーブ・インターフェース110の動作のフローチャートの各ステップ(Sと略記する)を説明する。この処理は、ホストPCIバス106がアイドル状態(S200)にあるときに開始され、最終的には、同じくこのアイドル状態で終了する。上記アイドル状態(S200)から、ホスト・バス・スレーブ・インターフェース110は、ホスト・バスがブリッジにアクセスを要求したかを判定する(S202)。この要求は、ホストPCIバス106上のFRAME信号ピンがアクティブとなることで示される。このことは、FRAMEピンが論理的にローレベルにあるときに示される。

【0018】次に、ホストPCIバス106からのインストラクションを調べ、このインストラクションが、ターゲットPCIデバイス104及びAPB100によりサポートされたインストラクションであるものかどうかを判定する(S204)。例えば、無効化インストラクションは、ホストのマザーボードシステムメモリにのみ与えられるものであり、APBやターゲットPCIデバイスにサポートされたものではない。このインストラクションが示された場合、APBはアイドル状態に戻る。

【0019】その後、ホスト・バス・スレーブ・インターフェース110は、ホストPCI準拠デバイス102からのメッセージを用いて、APBが選択されたかどうかを判定する(S206)。通常、メッセージにより指定されるアドレス、アドレスレンジ、またはウィンドウに基づいて、この判定がなされる。このアドレスがAP

Bアドレスウィンドウ内にある場合、アドレス、データ及びコマンドがキャプチャされる(S208)。このステップには、これらの値を格納してその後の使用のためにセーブすることが含まれる。後述するように、このデータは、その後のトライアルで上書きされることになる。

【0020】次に、ホスト・スレーブ・バス・インターフェース110は、キャプチャされたコマンドに対する最初のトライアルであるか否かを判定する(S210)。このコマンドまたはインストラクションに対する最初のトライアルではない場合、その後の処理のために、インストラクション・アドレス、コマンド及びデータが格納される。格納されたデータは、その後、二つのPCIデバイスの間の遅れアクションのインターフェースを実行するために用いられる。

【0021】インストラクションを格納(S212)した後に、ホスト・スレーブ・バス・インターフェース110は、HOST_BUSYフラグ及び1ST TRIALフラグを立てる(S214)。このHOST_BUSYフラグは、ホストPCI準拠デバイスが、APB100にアクセスしていることを示す。このフラグは、後に、他のAPBの要素に対して、ホストが使用中であることを示すために用いられる。上記1ST TRIALフラグは、ブロック210(S210)で示される機能を実行するのに用いられる。

【0022】次に、ホストPCIバス106からコマンド・インストラクションを受けた後に、ターゲット側のバス・マスター・インターフェース112がアクセスされ(S216)、さらに処理が行われる(S218)。通常、クロック周波数、従ってターゲットPCIバス108の速度は、ホストPCIバス106よりも低いので、ホストPCIバスを待機状態とすることは望ましくない。このようなホストPCIバスの待機状態を防ぐために、ホストPCIバスに対しては、リトライ・ハンドシェーク即ち接続の再試行が指示される(220)。これにより、ホストPCIバス220は、その他の動作を行えるようフリーな状態となり、一方、データは、ターゲットPCIバス108に書き込まれるか、またはこのバス108から回収される。ハンドシェーク再試行の指示(S220)は、周知のPCIインターフェース・プロトコルに準拠してなされ、また、本願に参照として包含されるPCIローカル・バス仕様書2.0にも記述されている。

【0023】本発明の一実施形態においては、ホストPCIバスにハンドシェーク再試行が指示される(S220)前に、ディレイが挿入される。このディレイによって、他の機器がPCIバス106にアクセス可能となる。このタイム・ディレイは、所望の値に設定可能であるが、少なくとも2クロック周期とすべきである。

【0024】ハンドシェーク再試行がホストPCI106に指示される(S220)と、HOSTREQ信号を生成す

ることで、ターゲット・バス・マスター・インターフェース112が起動され(S216)、この信号がこのターゲット・バス・マスター・インターフェース112へと送られる。

【0025】図4に、バス・マスター・インターフェース112により実行される機能のフローチャートを示す。アイドル状態(S200)から、ターゲット・バス・マスター・インターフェース112は、HOSTREQ信号を調べることで、ターゲット・バスへのアクセスが要求されたかをチェックする(S302)。ターゲット・バスへのアクセスが要求されていないときは、ターゲット・バス・マスター・インターフェース112は、アイドル状態(S200)へともどる。ターゲット・バスへのアクセスが要求されたときは、ターゲット・バスが使用中であるかどうかを調べる(S304)。これは、ターゲット・バス・アービタ118によってQBUSY信号が生成されたかどうかを調べることでなされ、その詳細は後述する。ターゲット・バスが使用中である場合、バスが使用中でなくなるまで、リトライ即ち再試行が繰り返される。ターゲット・バスが使用中でない場合、ターゲット・バスに対して、アクセス・ハンドシェーク即ちハンドシェーク実行が指示される(S306)。この処理は周知のものであり、本明細書に参照として包含されるPCIローカルバス仕様2.0に詳述されている。

【0026】その後、APB100に格納された(S212)インストラクションやコマンドは、ターゲット・バス・マスター・インターフェース112に出力される。このデータは、後に、ターゲットPCIバス108に指令される。次に、ターゲット・バス・マスター・インターフェース112は、アクセス処理が完了したかどうかを判定する(S308)。アクセス処理が完了したということは、ターゲットPCIデバイス104が、インストラクションやコマンドを受け入れ可能な状態にあることを示すものである。

【0027】ターゲットPCIデバイス104がインストラクションやコマンドを受け入れる状態にない場合(S310)、アクセス処理が新たに開始される。ターゲットPCIデバイス104及びターゲットPCIバス108がコマンドの受け入れ状態にある場合、このプロセスが続行される。ターゲットPCI標準デバイス104からのアボート・コマンドを受けると(S312)、ホスト・バス・スレーブ・インターフェース110に対して、このターゲットアクセスが終了したことがレポートされ(S314)、ターゲット・バスに対しては、アボート・ハンドシェーク即ちハンドシェーク中止が指示される。この処理は周知のものであり、本明細書に参照として包含されるPCIローカルバス仕様2.0に詳述されている。

【0028】ターゲットPCI標準デバイス104から、なにもアボート・コマンドが得られない場合には、

格納されたインストラクションまたはコマンドが、ターゲットPCIバス108へと指令される。このインストラクションが書き込みコマンドであると、データがターゲットPCIバス108に書き込まれ(S318)、このインストラクションがリードコマンドであると、データがターゲットPCIバスから読み込まれる(S318)。その後、このターゲットPCIバスへのアクセスが終了したことをホスト・バス・スレーブ・インターフェース110へとレポートし(S320)、ターゲットPCIバスへとハンドシェークの通常完了が指示される(S322)。

【0029】図3を参照すると、ターゲット・バス・マスター・インターフェース112が起動する(S216)一方で、ホストPCIバス106には、ハンドシェーク再試行が指示され、このホストバスに対して、与えられたインストラクションの再送信が指示される。ホストPCIバス106は、ターゲットPCIバスよりも高速なので、上記指示によって、ターゲットPCIバスへの応答のためにホストPCIバスがハング・アップ状態となることが防がれる。

【0030】一実施形態においては、ハンドシェーク再試行が指令される前にタイム・ディレイを行うことで、他のデバイスがホストPCIバスへとアクセスすることを可能とすることもできる。ホストPCIバス106が、再送信されたコマンドによってリトライ・コマンドに応答した後に、ホスト・バス・スレーブ・インターフェース110は、上述したように、インストラクションがサポートされて(S204)APBが選択されたとき(S206)には、再送信されたコマンドをキャプチャリングすることで応答する。次に、HOST_BUSYフラグを調べることで(210)、APBを通じてのこのインストラクションに対する最初のトライアルであるかどうかを判定される。

【0031】上述したような、S210からS212、S214を通じてのフローが行われた後においては、HOST_BUSYフラグは既にセットされており、ホスト・バス・スレーブ・インターフェース110は、最初のバス即ち最初のトライアルにおいて格納された情報と現在キャプチャされているインストラクションとを比較する(S222)。最初のトライアルで格納された情報と現在キャプチャされているインストラクションとがマッチしない場合(S224)、上述したように、ホストPCIバスに対して、ハンドシェーク再試行が再度指令される(S220)。

【0032】格納された情報が現在キャプチャされているインストラクションとマッチし(S224)、ターゲット・バス・アクセスが完了している(S226)ときは、ホスト・バス・スレーブ・インターフェース110は、ターゲットPCI標準デバイス104からアボート・コマンドが受信されたかをチェックする(S22

8)。受信されている場合、HOST_BUSY及び1ST_TRIALフラグがクリアされ(S230)、ホストPCIバス106に対して、ハンドシェーク中止が指令される(S232)。ターゲットPCIバス104からアボート・コマンドが受信されていない場合、S234~S236に示される処理が実行される。

【0033】このコマンド・インストラクションが、ターゲットPCI準拠デバイス104からデータを読み込むという命令であるときは、このデータは、ターゲット・バス・マスター・インターフェース112からホストPCIバスへと返送される(S234)。最後に、HOST_BUSYフラグと1ST_TRIALフラグとをクリアし、ホストPCIバス106へとハンドシェークの通常完了を指令することで処理が完了される(S238)。これによって、ホストPCI準拠デバイス102がマスタ、ターゲットPCI準拠バスがスレーブとして動作する処理が完了される。

【0034】図5及び図6に、低速クロックのPCI準拠デバイスがマスタ、高速クロックのPCI準拠デバイスがスレーブとして動作する場合における、本発明の一実施形態を表すフロー・チャートを示す。

【0035】図5に、ターゲット・バス・スレーブ・インターフェース116の動作を示す。前述の実施形態と同様に、このプロセスも、ホストPCIバス106がアイドル状態(S200)にあるときに開始される。最初に、ターゲット・バス・スレーブ・インターフェース116は、QREQフラグを調べることで、ターゲット・バスがホストPCIバス106にアクセスを要求しているかを判定する(S402)。

【0036】次に、ターゲットPCIバスからのインストラクションのアドレス、データ、コマンドがキャプチャされる(S404)。この際、後に使用するように、これらの値が格納される。そして、Q_BUSYフラグがセットされ、ホスト・バス・マスター・インターフェースが起動されるこのホスト・バス・マスター・インターフェース114に関する処理を以下に示す。

【0037】図6は、ホスト・バス・マスター・インターフェース114の動作を示すフローチャートである。アイドル状態(200)から、ホスト・バス・マスター・インターフェース114は、QREQフラグを調べることで、ホスト・バスへのアクセスが要求されたかを判定する(S502)。アクセスが要求されていなかったときは、ホスト・バス・マスター・インターフェース114は、アイドル状態(S200)に戻る。

【0038】アクセスが要求されたときは、ホスト・バス・マスター・インターフェース114は、H_REQ信号を出すことで、ホストバスへのアクセスを要求する。ホストPCIバスが(GNT信号で示されるように)バスをグラント即ち認可しても、このホストPCIバスがアイドル状態であるとは限らない。GNT信号は、単に、

要求側が次にこのバスを占有する、ということを示すものである。処理の続行前において、ホストPCIバス106が認可されかつアイドル状態であることを確認することで、ホストPCIバス106は、ターゲットPCIバス108の応答待ちによって不当に低速化されることはなくなる。さらに、バスを認可することで、ホスト・バス・マスター・インターフェース114は、このバスをリザーブ即ち確保状態とし、バスがアイドル状態となるとすぐにこのバスを使用する。

【0039】ホスト・バス・マスター・インターフェース114は、ホストPCIバス106が認可かつアイドル状態となるまで待機する。この状態となると、ホスト・バスとのハンドシェーク・アクセスが開始され、ターゲット・バスからキャプチャされた情報(S404)は、ホスト・バス・マスター・インターフェース114へと出力される。本発明の一実施形態では、更に適切なコミュニケーションを図るために、ハンドシェーク・アクセスは、他のGNT信号がホストPCIバス106から受信されるまでディレイさせる。これらのハンドシェーク・アクセスプロトコルは周知のものであり、本発明に参照として包含されるPCIローカルバス仕様2.0に記載されている。次に、ホスト・バス・マスター・インターフェース114は、ホストPCIバス106へのアクセスが完了したかを判定する(S510)。

【0040】アクセスが完了した後に、ホスト・バス・マスター・インターフェース114は、ホストPCIバス106からリトライ・コマンドが受信されたかを判定する。リトライ・コマンドが受信された場合(S512)、上記PCIローカル・バス仕様に規定されているハンドシェーク再試行がホストPCIバス106に対して指令される(S514)。リトライ・コマンドが受信されなかったときは、ホスト・バス・マスター・インターフェースは、ホスト・アボート・コマンドが受信されたかを判定する(S516)。ホスト・アボート・コマンドが受信された場合、ホストPCIバスのアクセスが無事完了したことを示すメッセージを、ターゲット・バス・スレーブ・インターフェース116に対してレポートする(S518)。その後、ホストPCIバス106に対して、ハンドシェーク中止が指令される(S520)。

【0041】アボート・コマンドが受信されなかった場合、ホスト・バス・マスター・インターフェース114は、ターゲット・バス・スレーブ・インターフェース116から供給されたコマンドやインストラクションを実行する。このコマンドがリードコマンドの場合、ホストPCIバス106からのデータが読み込まれる(S522)。このコマンドがライトコマンドのときは、指示されたデータがホストPCIバス106へと書き込まれる(S522)。その後、H_DONEフラグがセットされて、ホストPCIバスのアクセスが無事完了したことを示す

メッセージがターゲット・バス・スレーブ・インターフェース116へとレポートされ(S518)、ハンドシェークの通常完了が、ホストPCIバス106へと指令される。勿論、規定外やサポート外のインストラクションが供給された場合、このコマンドは、ホストPCIバス106へは供給されない。このエラーは、ターゲットPCIバス(108)にレポートされるか、または、単純にAPBがハングアップする。さらに、規定外のインストラクションを、ターゲット・バス・スレーブ・インターフェース116内で検出及びレポートしてもよい。

【0042】図5に戻ると、ホスト・バス・マスター・インターフェース114の処理がなされる間に、ターゲット・バス・スレーブ・インターフェース116は、H_DONE信号を調べることで、ホストPCIバスのアクセスが完了したかを判定する(S412)。完了している場合、ターゲット・バス・スレーブ・インターフェース116は、ホストPCIバスがアポートされたかを判定する(S414)。アポート済みである場合、Q_BUSYフラグがクリアされ(S416)、ターゲットPCIバス108に対して、ハンドシェーク中止が指示される(S418)。アポート・メッセージが受信されていない場合、ホストPCIバス106から読み込まれたは、すべてターゲットPCIバス108へと戻される。その後、Q_BUSYフラグがクリアされ(S422)、ハンドシェークの通常完了がターゲットPCIバス108に対して指示される(S424)。

【0043】図7に、ターゲット・バス・アービタ118により実行される機能を表すフローチャートを示す。アイドル状態(S200)から、ターゲット・バス・アービタ118は、ターゲット・バスへのアクセスが要求されたかを判定する。これは、QREQ信号により示される。HBUSY信号により示されるように、ホストPCIバス106が使用中でない場合(S604)、ターゲットPCIバス108は、QGRANT信号をセットすることで、バスの要求側に認可される(S606)。その後、QBUSY信号がセットされ、ターゲットPCIバス108が使用中であることが示される。ターゲット・バス・アービタ118は、その後、QFRAME信号に示されるようにターゲットPCIバス108がアクセスを開始するまで待機し、その後にQGRANT信号をクリアして、ターゲット・バスがもはや要求側に対して認可されていないことを示す。

【0044】最後に、ターゲットPCIバスのアクセスが完了(S614)した後、QBUSYフラグがクリアされ

(S616)、ターゲットPCIバスが使用中ではなくなったことが示され、ターゲット・バス・アービタはアイドル状態へと戻り(S200)、次の要求を待つ。

【0045】上述したターゲットPCI準拠デバイス104は、ホストPCI準拠デバイスよりも低速のクロック周波数で動作しているとしたが、デバイスのクロック周波数は、必ずしもこのような関係である必要はない。本発明は、クロック周波数を独立又は独立的に制御することが可能であるどのようなデバイスに対しても、これらのデバイス間相互のブリッジを提供するものである。従って、本発明は、ホストPCI準拠デバイス102よりも動作周波数が高速であるターゲットPCI準拠デバイス104に対しても、また、クロック周波数が可変または制御可能であるPCI準拠デバイス104に関しても適用可能である。

【図面の簡単な説明】

【図1】 本発明に係るトップレベルの機能ブロック図。

【図2】 コンピュータにインプリメントされた状態での、本発明に係るトップレベルの機能ブロック図。

【図3】 本発明に係るホスト・バス・スレーブ・インターフェースの動作を示すフローチャート。

【図4】 本発明に係るターゲット・バス・マスター・インターフェースの動作を示すフローチャート。

【図5】 ターゲット・バス・スレーブ・インターフェースの動作を示すフローチャート。

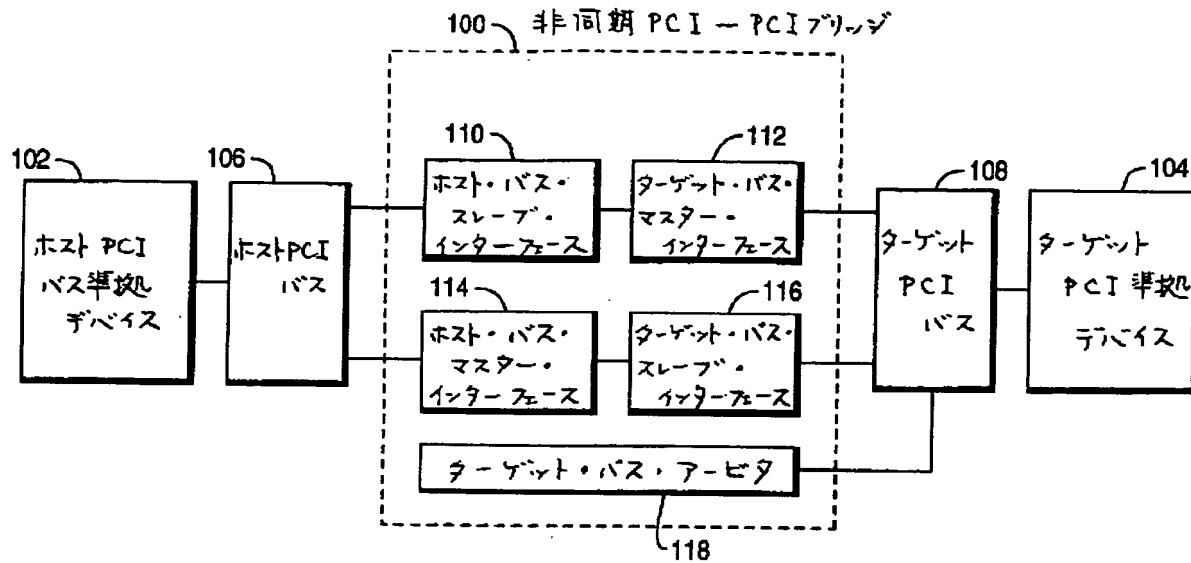
【図6】 ホスト・バス・マスター・インターフェースの動作を示すフローチャート。

【図7】 ターゲット・バス・アービタの動作を示すフローチャート。

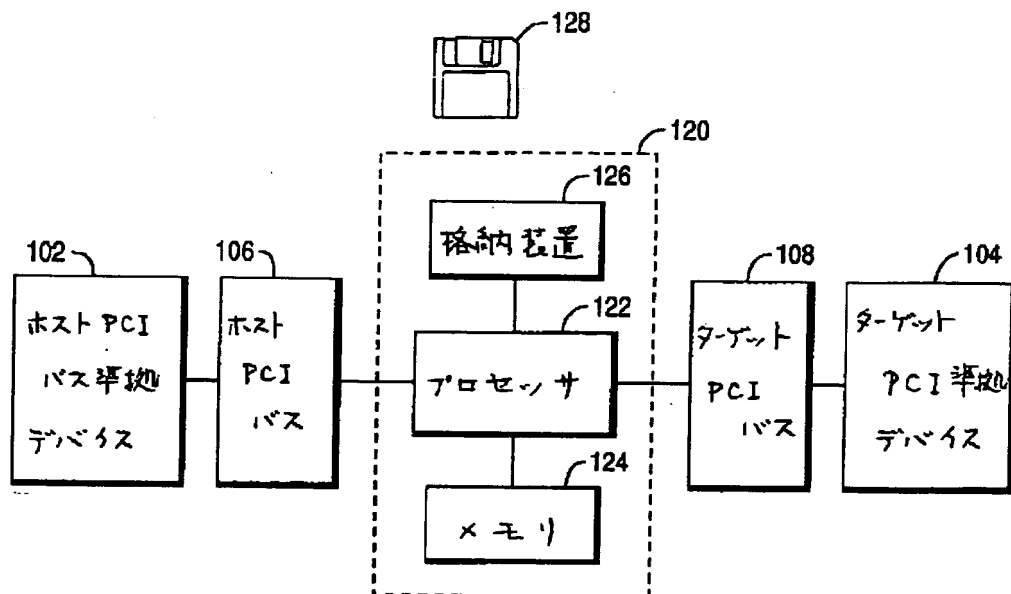
【符号の説明】

- 100 非同期PCI-PCIブリッジ
- 102 ホストPCIバス準拠デバイス
- 104 ターゲットPCI準拠デバイス
- 106 ホストPCIバス
- 108 ターゲットPCIバス
- 110 ホスト・バス・スレーブ・インターフェース
- 112 ターゲット・バス・マスター・インターフェース
- 114 ホスト・バス・マスター・インターフェース
- 116 ターゲット・バス・スレーブ・インターフェース
- 118 ターゲット・バス・アービタ

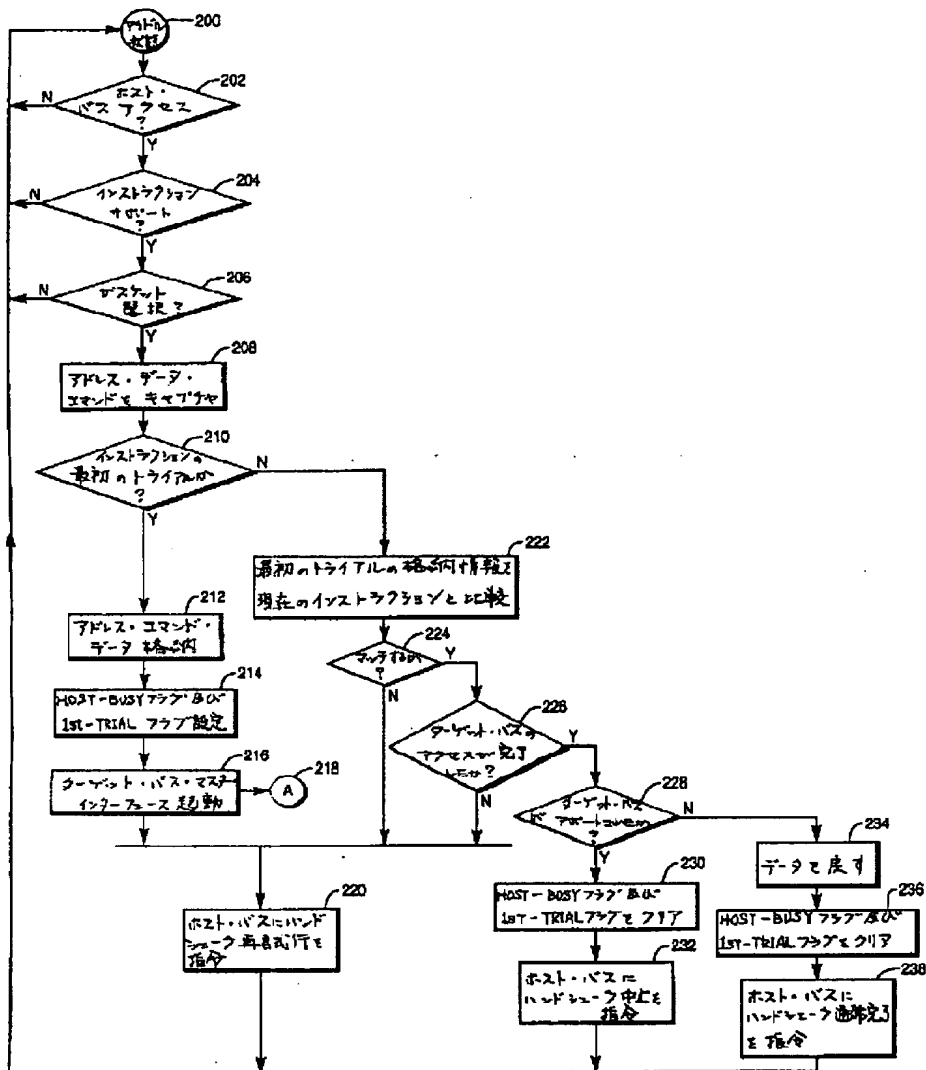
【図1】



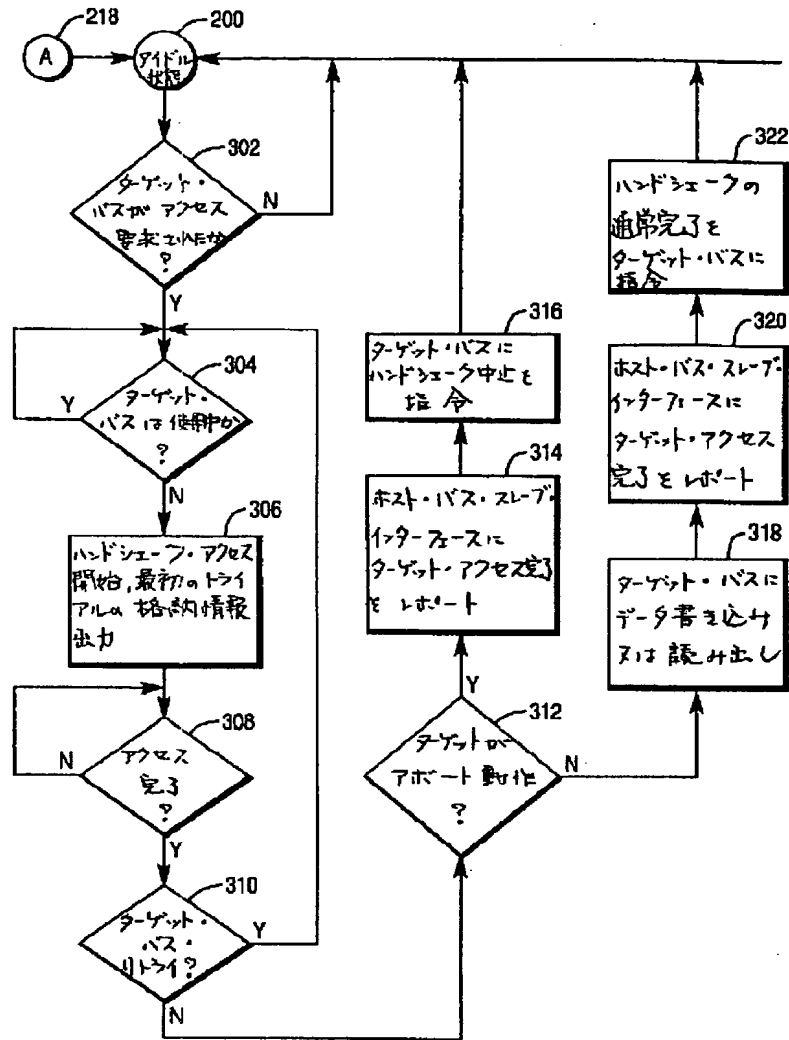
【図2】



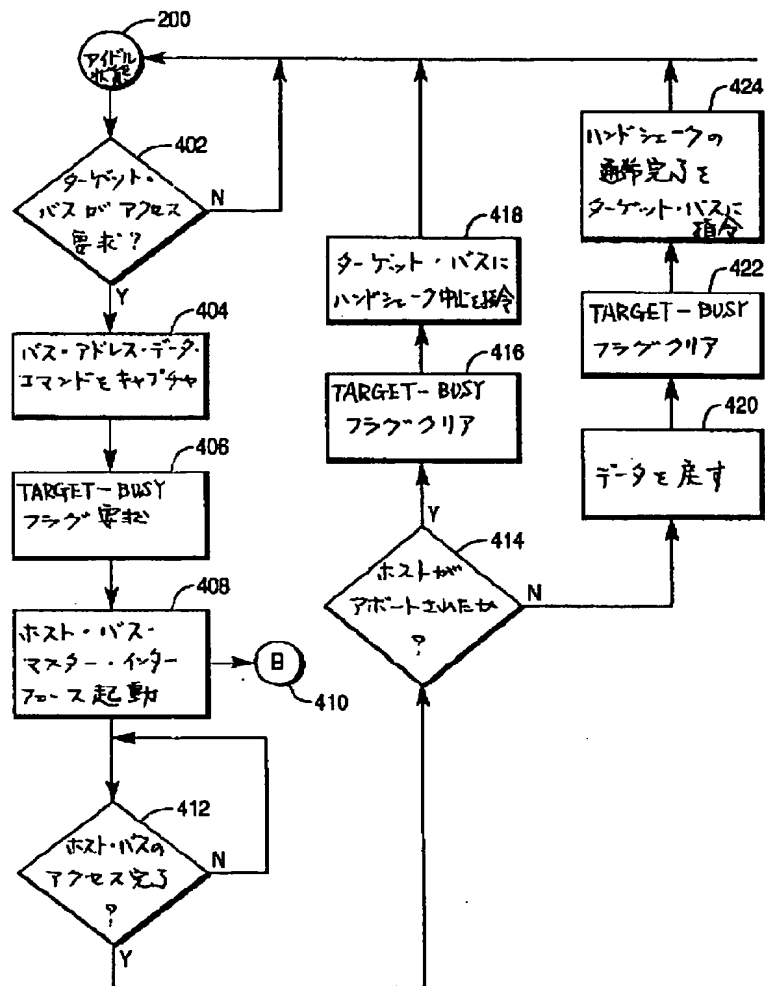
【図3】



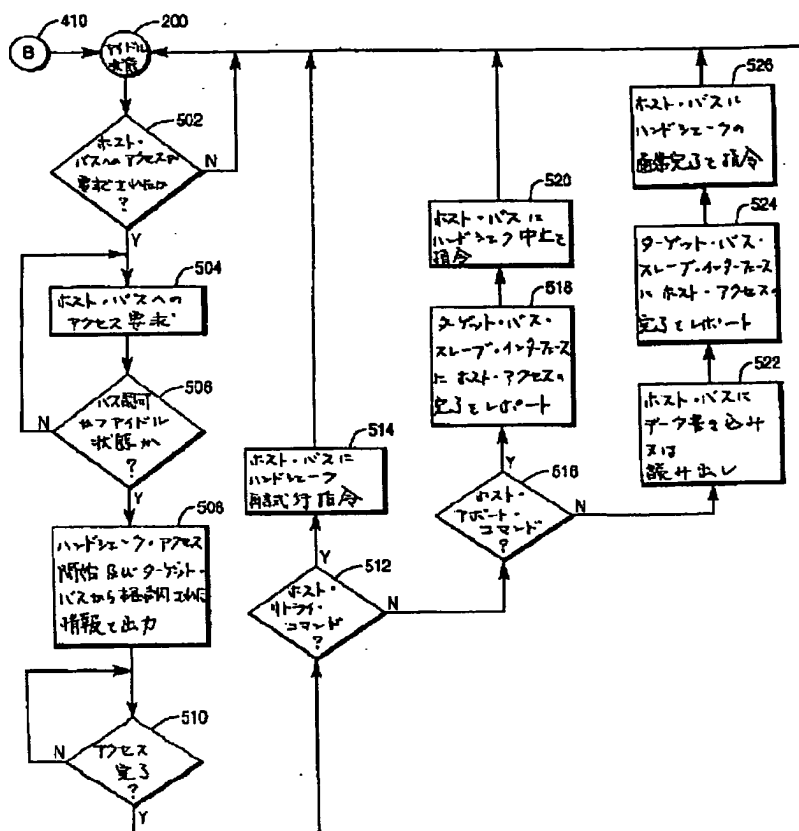
【図 4】



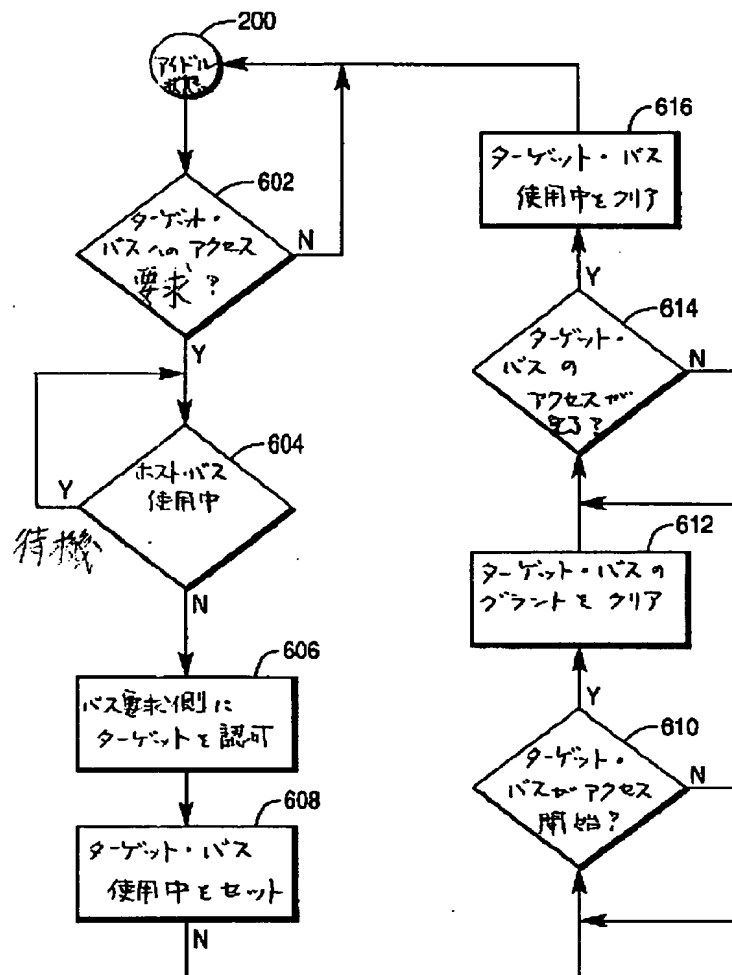
【図 5】



【図6】



【図7】



This Page Blank (uspto)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)